

⑫ 公開特許公報(A)

昭61-202465

⑤Int.Cl.⁴
H 01 L 29/74

識別記号

庁内整理番号
7216-5F

⑬公開 昭和61年(1986)9月8日

審査請求 未請求 発明の数 1 (全7頁)

⑭発明の名称 過電圧保護機能付サイリスタ

⑮特 願 昭60-42846

⑯出 願 昭60(1985)3月6日

⑰発明者 四 戸 孝 川崎市幸区小向東芝町1 株式会社東芝総合研究所内
 ⑱出願人 株式会社東芝 川崎市幸区堀川町72番地
 ㉑代理人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

過電圧保護機能付サイリスタ

2. 特許請求の範囲

(1)第1導電型の第1エミッタ層、第2導電型で比較的不純物濃度の高い第1ベース層、第2導電型で比較的不純物濃度の低い第1ベース層、第1導電型の第2ベース層及び第2導電型の第2エミッタ層がこの順に積層されてなるサイリスタにおいて、比較的不純物濃度の高い第1ベース層の一部を除去し、順方向阻止電圧値が他の領域よりも低い降伏電圧領域を設けたことを特徴とする過電圧保護機能付サイリスタ。

(2)前記比較的不純物濃度の高い第1ベース層の厚さをWとした時、比較的不純物濃度の低い第1ベース層の厚さdwが

$$w \left(\sqrt{\frac{2 \epsilon E_c}{q N w}} - 1 - 1 \right)$$

ε:半導体の誘電率、q:電子の電荷

Ec:降伏電界、N:比較的不純物濃度の低い第

1ベース層の不純物濃度

より小さいことを特徴とする特許請求の範囲第1項記載の過電圧保護機能付サイリスタ。

(3)前記降伏電圧の低い領域を、前記サイリスタの第2エミッタ層を除く他の3つの半導体層を共有するパイロットサイリスタ領域内に設けたことを特徴とする特許請求の範囲第1項記載の過電圧保護機能付サイリスタ。

(4)前記パイロットサイリスタを光トリガ信号により点弧駆動することを特徴とする特許請求の範囲第1項記載の過電圧保護機能付サイリスタ。

(5)前記降伏電圧の低い領域はNベースのキャリアライフタイムを他の領域より大きくして構成したことを特徴とする特許請求の範囲第1項記載の過電圧保護機能付サイリスタ。

(6)前記サイリスタを比較的不純物濃度の低い第1ベース層と、比較的不純物濃度の高い第1ベース層との間で半導体どうしを直接接合することにより製造することを特徴とする特許請求の範囲第1項記載の過電圧保護機能付サイリスタ。

(7)前記サイリスタを比較的不純物濃度の高い第

1 ベース層中で、半導体どうしを直接接合することにより製造することを特徴とする特許請求の範囲第1項記載の過電圧保護機能付サイリスタ。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は降伏電圧（以下 V_{Bo} と略す。）をこす過電圧がアノード・カソード間に印加されると安全に電圧トリがすることができる過電圧保護機能付サイリスタに関する。

〔発明の技術的背景とその問題点〕

サイリスタのアノード・カソード間に降伏電圧をこす過電圧が印加されると、数mA～数10mAの微小な降服電流で破壊してしまふ。過電圧印加による誤点弧で素子が破壊することを防止するため、一般には電源電圧の2～3倍の定格電圧のサイリスタを使う。しかし、直流送電用サイリスタバルブなどのように、多数のサイリスタを直列接続して使う装置では、1部のサイリスタがターンオンに失敗すると、これらの少数のサイリスタに定格電圧の数倍以上の過電圧が印加され、前述し

た定格電圧に余裕をみる方法では過電圧破壊を防止することはできない。そのため、過電圧の印加を防止する外部保護回路が必要になっていた。このような事情から過電圧が印加されても破壊しない過電圧保護機能付サイリスタが強く望まれていた。

第3図はこのような問題を解決すべく提案された従来の過電圧保護機能付サイリスタの概略断面図である。同図において、Pエミッタ層11、Nベース層12、Pベース層13、Nエミッタ層14からなる四層構造のPエミッタ層11の表面にはアノード電極15を、また、短絡Nエミッタ層14の表面にはカソード電極16を配置してメインサイリスタMTを構成している。メインサイリスタMTの内周部には、Pエミッタ層11、Nベース層12、Pベース層13を共用し、補助Nエミッタ層17と補助電極18を設けてパイロットサイリスタPTを形成している。更にパイロットサイリスタPTの内周部には、湾曲部19を持ったPベース層20が配してある。この構造は例えば、

Pベース層13を井戸型にエッチングで除去し、その後再度P型不純物を熱拡散しPベース層20を形成するなどして実現できる。あるいは、N型ウェハの状態で井戸型にエッチングして、これに両面からP型不純物を拡散することで同様の構造を得ることもできる。また、この構造では、パイロットサイリスタPTの補助Nエミッタ層17をメインサイリスタMTのNエミッタ層14より深く拡散形成し、パイロットサイリスタPTのPベース層横方向抵抗を大きくしている。

このような構造において、アノード・カソード電極間に順方向に過電圧が印加されると、湾曲部19に電界が集中し、そのとき湾曲部19近傍に発生する降服電流によってパイロットサイリスタPT、メインサイリスタMTが順次ターンオンする。

ところがこのような過電圧保護機能付サイリスタには次のような問題があった。 V_{Bo} 値は主に湾曲部19の曲率とPベース層13とPベース層20の段差 Δx によって決定される。湾曲部19の曲

率Rはエッチング条件によって決定されるため、湾曲部の曲率Rによって V_{Bo} 値をコントロールすることは実際的ではない。従って V_{Bo} 値は Δx によって制御することになるが、 V_{Bo} 値は Δx に敏感に影響するため Δx を高精度に制御する必要がある。第4図に V_{Bo}/V_o と Δx の関係を示す。但し、 V_o は湾曲部を設けない時の降伏電圧である。降伏電圧は接合部温度が低い方が小さくなるから例えば定格4KVのサイリスタに例をとると、最小保証接合部温度（通常-40℃）で $V_o > 4KV$ になるように V_o の値を選定してある。-40℃での V_o を4～4.5KVにするのが一般的であるから、-40℃で $V_o = 4.5KV$ 、 $V_{Bo} = 4KV$ に設計した場合を想定すると $V_{Bo}/V_o \leq 0.89$ となる。

$V_{Bo}/V_o > 0.89$ の条件を満足させるには第4図から明らかなように、 $\Delta x < 10\mu m$ にする必要がある。第3図から Δx は、

$$\Delta x = X_{off} - w_{PB} + w_{PT} \quad (1)$$

となる。但し、(1)式で X_{off} は井戸型エッチングした溝部の深さ、 w_{PB} はPベース層13の厚さ、 w_{PT}

はPベース層20の厚さを示している。 d_x は X_{off} , w_{PB} , w_{PT} の3因子によって決定されており、例えば、 $d_x \leq 10 \mu m$ というように、微少な d_x を高精度でコントロールするには X_{off} , w_{PB} , w_{PT} をさらに高精度でコントロールする必要があり、 V_{Bo} 値を所定の値にコントロールすることが非常に困難であった。

〔発明の目的〕

本発明はこのような事情を考慮してなされたもので、その目的とするところは簡易に V_{Bo} 値をコントロールすることのできる構造を有する過電圧保護機能付サイリスタを提供することである。

〔発明の概要〕

本発明は、サイリスタの高抵抗ベース層を比較的不純物濃度の高い層と比較的不純物濃度の低い層とから構成し、前者の一部を除去し、この領域でパンチスルーによる電圧降伏を起こして、過電圧がアノード・カソード間に印加された時、安全にターンオンすることのできる過電圧保護機能付サイリスタである。

電極15を、また短絡Nエミッタ層14の表面にはカソード電極16を配置してメインサイリスタMTを構成している。メインサイリスタMTの内周部には、Pエミッタ層11, Nベース層12, Pベース層13を共用し、補助Nエミッタ層17と補助電極18を設けてパイロットサイリスタPTを形成している。更にパイロットサイリスタPTの内周部には、受光部23を形成し、パイロットサイリスタPT直下の N^+ ベース層21を取り去って阻止電圧が他の領域より低い電圧降伏領域22を設けてある。

また、この構造では、パイロットサイリスタPTの補助Nエミッタ層17をメインサイリスタMTのNエミッタ層14より深く拡散形成し、パイロットサイリスタPTのPベース層横方向抵抗を大きくしている。

このような構造からなる過電圧保護機能付サイリスタのアノード・カソード電極間に順方向に過電圧が印加されると、 N^- ベース層12中に空乏層がのび、 N^+ ベース層21がある領域では空乏層が N^+

〔発明の効果〕

本発明によれば、 V_{Bo} 値は、高抵抗ベース層の比較的不純物濃度の低い層の厚さ w と、比較的不純物濃度の高い層の厚さ d_w だけで決まるので、エッチング深さを高精度で制御して V_{Bo} 値をコントロールする従来の構造に比べ、単純なプロセスでより高精度に V_{Bo} 値をコントロールすることが可能になる。また、湾曲部19で電圧降伏を起こす従来の構造に比べ、電圧降伏を起こす領域の面積が広くとれるので、パイロットサイリスタPTのゲート感度が低くてもサイリスタを安全にターンオンすることができる。

〔発明の実施例〕

以下、図を参照して、本発明の実施例について説明する。

第1図は、本発明の一実施例のサイリスタの断面図である。Pエミッタ層11, N^+ ベース層21, N^- ベース層12, Pベース層13, Nエミッタ層14がこの順に横層された半導体層からなるPNPN構造の上記Pエミッタ層11の表面にはアノード

ベース層でストップされるが、 N^+ ベース層を除去した領域22では空乏層がストップされずに伸びていき、ついには空乏層がPエミッタ層11に到達し、パンチスルーによる電圧降伏が起こる。この時に流れる降伏電流はパイロットサイリスタPT領域のPベース層13を横方向に流れ、Nエミッタ層14の短絡部を經由してカソード電極16から外部回路へ流れる。この結果、降伏電流はパイロットサイリスタPT領域のPベース層13で横方向電圧降下を生じ、パイロットサイリスタPTの補助Nエミッタ層17とPベース層13からなる接合を順方向にバイアスする。この順方向バイアス値が上記接合のビルトインポテンシャル以上になると、補助Nエミッタ層17から電子注入が起こり、パイロットサイリスタPTは過電圧ターンオンする。

このパイロットサイリスタPTのオン電流は補助電極18を經由してメインサイリスタMTのPベース層13にゲート電流として流れ、メインサイリスタMTがターンオンする。

過電圧が印加された時に N^+ ベース層 21 を除去した領域 22 でパンチスルーにより電圧降伏が起こる条件を考えてみる。

第2図は、 N^+ ベース層がある領域とない領域でのそれぞれの電界強度を示したものである。 N^- ベース層の厚さを w 、 N^+ ベース層の厚さを $d w$ とすると、 N^+ ベース層を除去した領域でのパンチスルーによる降伏電圧値 V_{PT} は、

$$V_{PT} = \frac{q N}{2 \epsilon} (w + d w)^2 \quad (2)$$

で与えられる。ここで、 ϵ は半導体の誘電率、 q は電子の電荷、 N は N^- ベース層の不純物濃度である、また N^+ ベース層がある領域での順方向阻止電圧値 V は、

$$V = E_z w - \frac{q N}{2 \epsilon} w^2 \quad (3)$$

で与えられる。ここで E_z は N^+ ベース層がある領域の中央接合における電界の値である。従って、 N^+ ベース層を除去した領域でパンチスルーが起こる時の E_z の値は式(2)、(3)より、

流れる面積が広くとれ、破壊が起こりにくくなる。更に、パイロットサイリスタ P T 直下には N^+ ベース層 21 がないので、P エミッタ層 11 からの正孔の注入効率が高く、パイロットサイリスタ P T のトリが感度が高くなるので $\frac{D I}{D t}$ 耐量の大きなサイリスタが得られる。

本発明の構造を実現する方法は種々考えられる。例えば、選択拡散法により N^+ ベース層を形成する方法、選択拡散法とエピタキシャル法を組み合わせる方法等が考えられる。

しかし、上記の方法で製造すると、P エミッタ層の厚さと N^+ ベース層の厚さを加えた $70 \sim 100 \mu m$ もの深さの拡散を行なう必要があり、拡散時間が長大となる欠点がある。このような問題を解決できる製造方法として最近シリコン同志を直接接着する技術が提案され、注目を集めつつある。この技術の概略は以下の通りである。まず、この構造の場合、1枚のシリコンウェリーには予め N^+ ベース層 21 を選択拡散し、反対側から P エミッタ層 11 を全面拡散しておき、もう1枚のシリコンウェリーに

$$E_z = \frac{q N}{2 \epsilon} \frac{(w + d w)^2 + w^2}{w} \quad (4)$$

となる。 E_z が半導体の降伏電界 E_c より小さければ、アバランシェ降伏は起こらず、パンチスルーによって電圧降伏が起こる。その条件は(4)式から、

$$d w < w \left(\sqrt{\frac{2 \epsilon E_c}{q N w}} - 1 - 1 \right) \quad (5)$$

と求められる。例えば、 N^- ベース層の不純物濃度 $N = 4 \times 10^{13} \text{ cm}^{-3}$ 、 N^- ベース層の厚さ $w = 310 \mu m$ とすると、アバランシェ降伏電圧値 V_0 は 4.5KV となる。この時、 $d w$ の最大値は式(5)より $73 \mu m$ となり、 $d w < 73 \mu m$ の値を選ぶことによって、 V_0 以下の任意の V_{PT} を選ぶことができる。

例えば $V_{PT} = 4KV$ とすると、 $d w = 51 \mu m$ となる。 $d w$ が $1 \mu m$ ずつれた時の V_{PT} の変化は 22V であり、十分精度良く V_{PT} を設定することが可能である。

また本発明の構造によれば、 N^+ ベース層のない領域 22 全体に降伏電流が流れるので両曲部 19 で電圧降伏を起こす従来の構造に比べて降伏電流が

は P ベース層 13、N エミッタ層 14 などを拡散しておいて、しかる後に、その被接合面を鏡面研磨して表面粗さ 500 \AA 以下に形成する。この際シリコンウェハーの表面状態によっては $H_2O_2 \rightarrow H_2SO_4 \rightarrow HF \rightarrow \text{稀} HF$ による前処理工程を引続いて行って脱脂ならびにシリコンウェハー表面に被着するステインフィルムを除去する。次にこのシリコンウェハー鏡面を清浄な水で数分程度水洗し、室温でスピナー処理のような脂水処理を実施する。この処理工程では前記シリコンウェハー鏡面に吸着していると想定される水分はそのまま残し、過剰な水分を除去するもので、この吸着水分が残んど放散する $100^\circ C$ 以上の加熱乾燥は避ける。これらの処理を経たシリコンウェハーを例えばクラス 1 以下の清浄な大気雰囲気中に設置して、その鏡面間に異物が実質的に介在しない状態で相互に密着して接合する。なお、このようにして接合したシリコンウェハーを $200^\circ C$ 以上好ましくは $1000^\circ C \sim 1200^\circ C$ で加熱処理することにより接合強度は増大することができる。

上記の製造方法を用いると、短時間の拡散工程で本発明の構造を実現することができる。例えば、 N^+ ベース層21と N^- ベース層12との境界を接層面とした場合には、 N^+ ベース層21の拡散を接層面側から行うことができるので、Pエミッタ層11に相当する部分は拡散を行う必要がなく著しく拡散時間を短縮することができる。また、 N^+ ベース層21の中間に接層面を設定した場合には、両方のウェリーに選択拡散をすることができ、更に拡散時間を短縮することができる。

なお上記実施例では、受光部23を設け光トリが信号によってトリができる光点弧サイリスタを示したが、通常の電気トリがサイリスタであっても良い。また、増幅ゲート構造でなくともかまわない。

本発明の構造では逆方向阻止耐圧が小さくなるので、逆方向阻止耐圧が本来小さい構造のサイリスタや逆方向に積極的に電流を流すことのできる構造のサイリスタの過電圧保護には特に有効である。例えば、メインサイリスタMTが逆方向ダイ

オードを複合化した逆導通サイリスタや、アノードショート構造のゲートターンオフサイリスタ(GTO)、逆導通GTOなどの場合、本発明の構造は特に有効である。

4. 図面の簡単な説明

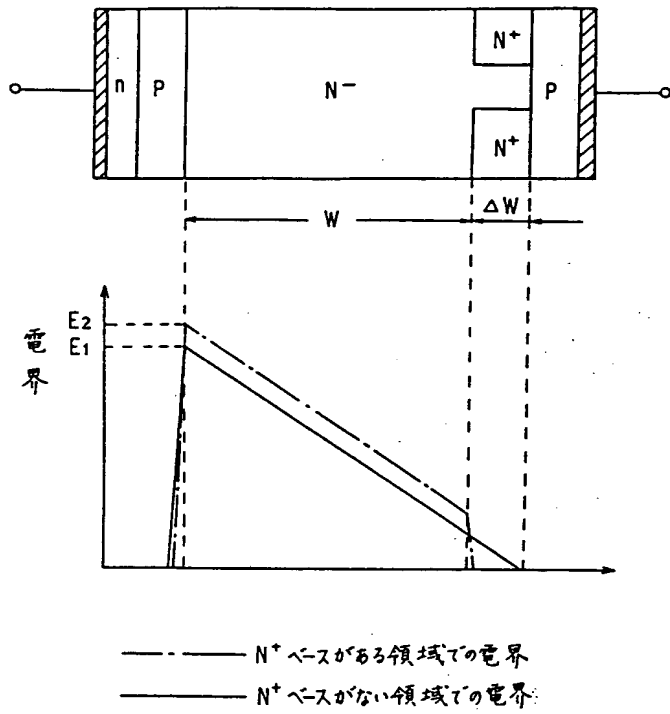
第1図は本発明の過電圧保護機能付サイリスタの断面図、第2図は本発明のサイリスタに順方向電圧を印加した時の電界強度を示す図、第3図は従来の過電圧保護機能付サイリスタの断面図、第4図は I_E と V_{BO}/V_0 との関係を示す図である。

- MT … メインサイリスタ
- PT … パイロットサイリスタ
- 11 … Pエミッタ層
- 12 … N^- ベース層
- 13 … Pベース層
- 14 … Nエミッタ層
- 15 … アノード電極
- 16 … カソード電極
- 17 … 補助Nエミッタ層
- 18 … 補助電極

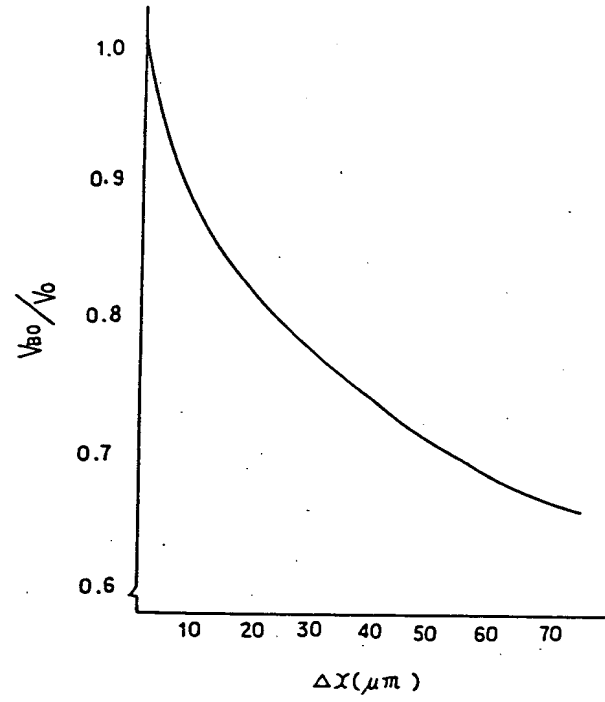
- 21 … N^+ ベース層
- 22 … 過電圧降伏領域
- 23 … 受光部

代理人 弁理士 則 近 憲 佑
(ほか1名)

第 2 図



第 4 図

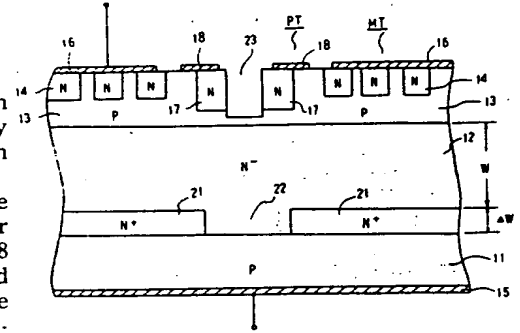


(54) THYRISTOR WITH OVERVOLTAGE PROTECTING FUNCTION

(11) 61-202465 (A) (43) 8.9.1986 (19) JP
 (21) Appl. No. 60-42846 (22) 6.3.1985
 (71) TOSHIBA CORP (72) TAKASHI YOTSUDO
 (51) Int. Cl. H01L29/74

PURPOSE: To accurately control a breakdown voltage by composing a high resistance base layer of layers having high and low impurity density, and partly removing the high density layer so that the region takes a voltage breakdown by punch-through.

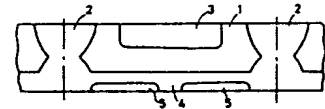
CONSTITUTION: A P-type emitter layer 11, an N-type base layer 12 and a P-type base layer 13 are commonly provided in the inner periphery of a main thyristor MT, and an auxiliary N-type emitter layer 17 and an auxiliary electrode 18 are provided to form a pilot thyristor PT. Further, a photoreceptor 23 is formed in the inner periphery of the thyristor PT, and a high impurity density base layer 21 directly under the thyristor PT is removed to form a voltage breakdown region 22 lower at a blocking voltage from the other region. The layer 17 of the thyristor PT is formed to be deeply diffused from an N-type emitter layer 14 of the thyristor MT to increase lateral resistance of the P-type base layer of the thyristor PT.

**(54) AVALANCHE THYRISTOR**

(11) 61-202466 (A) (43) 8.9.1986 (19) JP
 (21) Appl. No. 60-45055 (22) 5.3.1985
 (71) MITSUBISHI ELECTRIC CORP (72) MITSUYOSHI TAKEDA
 (51) Int. Cl. H01L29/74

PURPOSE: To provide a stable breakover voltage without influence of the surface by reducing the density gradient of an impurity near a junction between a separating region and a substrate lower than that of the impurity near a junction between a base layer and the substrate.

CONSTITUTION: A P-type impurity is thermally diffused in an N-type semiconductor substrate 1 to form a separating diffused layer 2. Then, a P-type emitter layer 3 is formed from one main surface of the substrate 1, and a P-type base layer 4 is formed over the entire region of an element region from the other main surface. Then, an N-type emitter layer 5 is formed in the layer 4 to reduce the density gradient of a P-type impurity near a junction between the layer 2 and the substrate 1 lower than that of the N-type impurity near a junction between the layer 4 and the substrate 1 to reduce the breakdown voltage of the junction between the layer 4 and the substrate from that of the junction between the layer 2 and the substrate 1.

**(54) SEMICONDUCTOR DEVICE**

(11) 61-202467 (A) (43) 8.9.1986 (19) JP
 (21) Appl. No. 60-43051 (22) 5.3.1985
 (71) NEC CORP (72) MINORU ARAKI
 (51) Int. Cl. H01L29/78

PURPOSE: To reduce hot carrier implanting phenomenon at a high speed by forming a silicide layer in a boundary over a polycrystalline silicon layer, and providing a high melting point metal extended on an insulating film on a drain diffused layer to reduce the resistance of a gate electrode.

CONSTITUTION: A gate insulating film 103 is provided on an active region of a transistor surrounded by a field insulating film 102 on the surface of a semiconductor substrate 101, and a polycrystalline silicon 104 implanted with an impurity is formed at the prescribed position of the film 103. The upper layer of the silicon 104 is coated with a high melting metal 105 to be silicified with a boundary to be coupled to form integrally a gate electrode. An opposite conductive type low density source diffused layer 106 to the substrate 101 and a low density drain diffused layer 107 are formed in the substrate 101 of the lower layer side of the metal 105 contacted on the film 103, and a high density source diffuse layer 108 and a high density drain diffused layer 109 are formed under the film 103 not coated with metal 105.

